

Docket No.: M&N-IT-486



epw

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date indicated below.

By: *[Signature]* Date: August 7, 2006

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No.	: 10/642,546	Confirmation No: 1976
Applicant	: Jürgen Blank	
Filed	: Aug. 15, 2003	
Art Unit	: 2133	
Examiner	: Stephen Dildine Jr.	
Title	: Method and Device for Signaling a Transmission Fault on a Data Line	
Docket No.	: M&N-IT-486	
Customer No.	: 24131	

CLAIM FOR PRIORITY

Commissioner for Patents,
P.O. Box 1450, Alexandria, VA 22313-1450

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 37 696.4, filed August 15, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

[Signature]
Kerry P. Sisselman
Reg. No. 37,237

Date: August 7, 2006
Lerner Greenberg Sterner LLP
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101
/sa

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 37 696.4

Anmeldetag: 15. August 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Verfahren und Einrichtung zum Melden eines Übertragungsfehlers auf einer Datenleitung

IPC: H 04 L, G 01 R

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 19. August 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

CERTIFIED COPY OF
PRIORITY DOCUMENT

A handwritten signature in black ink, appearing to be 'Hil'.

Hintermeier

Beschreibung

Verfahren und Einrichtung zum Melden eines Übertragungsfehlers auf einer Datenleitung

5

In der Kommunikationstechnik werden Datenverbindungen mit hoher Datenrate („High-Speed-Datenpfade“) bevorzugt in differentieller Signaltechnik ausgeführt. Unter dem Begriff „differentielle Signaltechnik“ wird dabei verstanden, dass für die Übermittlung der Datensignale zwei Signalleiter vorgesehen sind, die mit entgegengesetzter Polarität bzw. Phase betrieben werden. Zur Standardisierung der differentiellen Signaltechnik existieren beispielsweise die Normen TIA-LVDS und EIA-LVDS (LVDS: low voltage differential signals/signalling).

10

15

Die differentielle Signaltechnik erlaubt kleinere Signalhübe und ist weniger störanfällig als die einphasige („single ended“) Signaltechnik, bei der lediglich ein einziger Signalleiter für die Übermittlung eines Datensignals verwendet wird. Die einphasige („single ended“) Signaltechnik eignet sich vor allem bei sehr hoher Signalanzahl bzw. Signaldichte aber nur sehr eingeschränkt für die Übermittlung von hochbitratigen Signalen. Aufgrund der ständig steigenden Datenraten setzen sich daher zunehmend Systeme auf differentieller Signalbasis durch. Sogar vollständige Bussysteme werden heutzutage schon in differentieller Signaltechnik ausgelegt.

20

25

30

35

Mit der zunehmenden Verwendung der differentiellen Signaltechnik in modernen Elektroniksystemen wächst das Bedürfnis, diese Systeme in der Fertigung vor der Auslieferung, aber auch im Feld elektronisch testen zu können. Ein ganz wesentlicher Aspekt ist dabei der Test der Signalverbindungen zwischen den einzelnen Baugruppen bzw. integrierten Schaltkreisen eines Systems. Bereits in der Fertigung möchte man insbesondere Kontaktfehler, wie z.B.

Kurzschlüsse zwischen Signalleitern oder zu Versorgungsleitern, sowie nicht angeschlossene (offene) Signalleiter frühzeitig erkennen, um diese vor der weiteren Systemintegration noch nacharbeiten bzw. schadhafte Baugruppen ersetzen zu können.

In den letzten Jahren hat sich zunehmend ein elektronisches Testverfahren für die Erkennung von Kontaktfehlern durchgesetzt, bei dem alle Eingänge und Ausgänge (Inputs und Outputs) der auf dem System vorhandenen Bauelemente zu einem seriellen Abtastregister, dem so genannten Boundary-Scan-Register, verschaltet werden. Dieses Verfahren wurde von der IEEE Computer Society standardisiert und unter dem Namen „IEEE Standard Test Access Port and Boundary-Scan Architecture“ (IEEE Std. 1149.1) veröffentlicht. Die von der IEEE Computer Society spezifizierte Testarchitektur eignet sich aber nur für die Auswertung einphasiger Signale und die Erkennung der bei einphasigen Signalen möglicherweise auftretenden Kontaktfehler der Signalleiter. Eine Anwendung des genannten IEEE Standards mit dem Ziel der Erkennung aller möglichen Kontaktfehler bei differentieller Signaltechnik ist jedoch nicht ohne weiteres möglich.

Der Erfindung liegt daher die Aufgabe zugrunde, ein Verfahren zum Erzeugen eines Fehlersignals anzugeben, das für die Erkennung von Übertragungsfehlern bei differentieller Signaltechnik geeignet ist.

Diese Aufgabe wird erfindungsgemäß durch ein Verfahren mit den Merkmalen gemäß Anspruch 1 gelöst. Vorteilhafte Ausgestaltungen des erfindungsgemäßen Verfahrens sind in den auf den Anspruch 1 rückbezogenen Unteransprüchen angegeben.

Gemäß der Erfindung ist vorgesehen, dass ein potentialmäßig im Bereich der Mitte zwischen den beiden Signalpegeln der beiden Signalleitungen liegender Mittelpegel zum Erkennen eines Fehlers ausgewertet wird. Unter dem Begriff Signalpegel

ist dabei das jeweilige elektrische Potential, also das Spannungspotential, an den Signalleitern zu verstehen; unter dem Begriff Mittelpegel ist das mittlere Potential, also sozusagen das „Mittelpotential“ zu verstehen, das potentialmäßig in der Mitte zwischen den beiden Potentialen der Signalleiter liegt. Die Erfindung macht sich dabei die Erkenntnis zunutze, dass bei einer ungestörten Datenübertragung der Mittelpegel bzw. das zwischen den beiden Signalleitern liegende „Mittelpotential“ selbst dann unverändert bleibt, wenn die übertragene binäre Information wechselt, d.h. selbst dann, wenn von einer logischen „1“ auf eine logische „0“ oder umgekehrt umgeschaltet wird. Liegt hingegen zum Beispiel ein Kurzschluss bei einem der beiden Signalleiter vor, z.B. ein Kurzschluss mit dem Massepotential, so verschiebt sich das „Mittelpotential“ bzw. der Mittelpegel zwangsläufig, was zum Erkennen eines Fehlers und damit Erzeugen eines Fehlersignals ausgenutzt werden kann. Ein ganz wesentlicher Vorteil des erfindungsgemäßen Verfahrens besteht dabei in seiner sehr einfachen Durchführbarkeit, weil nämlich lediglich das mittlere Potential – also nur eine einzige Messgröße – beobachtet und ausgewertet zu werden braucht; weitere Messgrößen sind bei dem erfindungsgemäßen Verfahren nicht nötig.

Eine besonders hohe Messempfindlichkeit wird bei dem erfindungsgemäßen Verfahren in vorteilhafter Weise dann erreicht, wenn der ausgewertete Mittelpegel bzw. das ausgewertete Mittelpotential exakt in der Mitte zwischen den beiden Signalpegeln liegt. Dies wird konkret erreicht, indem das Fehlersignal gemäß nachfolgender „Auslösebedingung“ erzeugt wird:

$$\begin{aligned} &| (VP[1] + VN[1])/2 - (VP[0] + VN[0])/2 | > Q \quad \text{bzw.} \\ &| (VP[0] + VN[0])/2 - (VP[1] + VN[1])/2 | > Q \end{aligned}$$

Bei dieser mathematischen Formel bezeichnet VP[1] den Signalpegel der einen Signalleitung im Falle einer

übertragenen logischen „1“, VP[0] den Signalpegel der einen Signalleitung im Falle einer logischen „0“, VN[1] den Signalpegel der anderen Signalleitung im Falle einer logischen „1“, VN[0] den Signalpegel der anderen
5 Signalleitung im Falle einer logischen „0“ und Q den vorgegebenen Schwellenwert.

Das Abgreifen bzw. Erfassen der Mittelpegel bzw. Mittelpotentiale kann besonders einfach und damit vorteilhaft
10 mit Hilfe eines Spannungsteilers erfolgen, der zwischen die beiden Signalleitungen geschaltet wird; vorzugsweise ist dabei ein ohmscher Spannungsteiler mit identischen Widerständen zu verwenden, damit der Mittelpegel so exakt wie
möglich abgegriffen wird.

15 Bei dem erfindungsgemäßen Verfahren werden - wie oben bereits erläutert - die Signalpegel für die Übertragung einer logischen „0“ und die Übertragung einer logischen „1“ benötigt. Da diese Pegel nicht zeitgleich bzw. gleichzeitig
20 auftreten, ist zumindest ein Signalpegel zwischenspeichern. Dies kann in vorteilhafter Weise mit einer Sample&Hold-Einrichtung (Abtast- und Halteeinrichtung) durchgeführt werden; es wird daher als vorteilhaft angesehen, wenn zumindest einer der beiden Mittelpegel mit Hilfe einer
25 Sample&Hold-Einrichtung zwischengespeichert wird. Dies kann in vorteilhafter Weise insbesondere in der Art durchgeführt werden, dass das Mittelpotential im Falle einer übertragenen logischen „1“ mit einer Sample&Hold-Einrichtung abgetastet und als eine Hilfsmessgröße zwischengespeichert wird, das
30 entsprechende Mittelpotential im Falle einer übertragenen logischen „0“ ebenfalls abgetastet und als andere Hilfsmessgröße zwischengespeichert wird und das Fehlersignal erzeugt wird, wenn die Differenz zwischen den beiden
Hilfsmessgrößen den vorgegebenen Schwellenwert betragsmäßig
35 überschreitet. Des weiteren wird es als vorteilhaft angesehen, wenn zum Erfassen der Signalpegel zwei Sample&Hold-Einrichtungen verwendet werden, von denen die

eine zum Erfassen des Mittelpegels im Falle einer logischen „1“ und die andere Sample&Hold-Einrichtung zum Erfassen des Mittelpegels bei einer logischen „0“ eingesetzt wird. Zum Erzeugen des Fehlersignals sind dann die von den beiden Sample&Hold-Einrichtungen gespeicherten Messgrößen heranzuziehen. Die Zuordnung zwischen der Sample&Hold-Einrichtung und der logischen Information („1“ oder „0“) bzw. dem zugehörigen Signalpegel lässt sich dabei besonders einfach erreichen, wenn auf der Datenleitung logische „Nullen“ und „Einsen“ abwechselnd mit einer vorgegebenen Taktfrequenz übertragen werden und wenn die beiden an die Datenleitung angeschlossenen Sample&Hold-Einrichtungen mit halber Taktfrequenz im Gegentakt – also um 180 Grad phasenverschoben – arbeiten.

Die Takthalbierung und die Phasenverschiebung von 180 Grad lassen sich besonders einfach und damit vorteilhaft mit Hilfe eines Toggle-Flipflops erreichen, an dem eingangsseitig das Taktsignal mit der vorgegebenen Taktfrequenz anliegt und das ausgangsseitig mit den beiden Sample&Hold-Einrichtungen verbunden ist, und zwar derart, dass ein Ausgangssignal des Toggle-Flipflops als Hilfstaktsignal für die erste Sample&Hold-Einrichtung und das andere Ausgangssignal des Toggle-Flipflops als weiteres Hilfstaktsignal für die zweite Sample&Hold-Einrichtung verwendet wird.

Für die Auswertung des mit dem erfindungsgemäßen Verfahren erzeugten Fehlersignals wird es als vorteilhaft angesehen, wenn dieses in einem Schieberegister abgespeichert wird. In diesem Fall kann dann das Fehlersignal analog zu dem eingangs erläuterten Testverfahren „IEEE Standard Test Access Port and Boundary-Scan Architecture“ nachbearbeitet werden; erforderlich ist hierfür lediglich, dass als Schieberegister im Wesentlichen ein Boundary-Scan-Register gemäß der oben genannten IEEE-Norm bzw. ein entsprechendes, an die Belange der differentiellen Signaltechnik angepasstes Schieberegister verwendet wird.

Der Erfindung liegt darüber hinaus die Aufgabe zugrunde, eine Vorrichtung zum Erzeugen eines Fehlersignals anzugeben, das für die Erkennung von Übertragungsfehlern bei differentieller
5 Signaltechnik geeignet ist.

Diese Aufgabe wird erfindungsgemäß durch eine Vorrichtung mit den Merkmalen des nebengeordneten Anspruchs 10 gelöst.
Vorteilhafte Ausgestaltungen der erfindungsgemäßen
10 Vorrichtungen sind in Unteransprüchen beschrieben, die auf den unabhängigen Anspruch 10 zurückbezogen sind.

Gemäß dem unabhängigen Vorrichtungsanspruch ist vorgesehen, dass die Vorrichtung eine Vergleichseinrichtung aufweist, die
15 einen potentialmäßig im Bereich der Mitte zwischen dem Signalpegel der einen Signalleitung und dem Signalpegel der anderen Signalleitung liegenden Mittelpegel im Falle einer übertragenen logischen „1“ mit dem entsprechenden Mittelpegel im Falle einer übertragenen logischen „0“ vergleicht und das
20 Fehlersignal erzeugt, wenn die Abweichung zwischen den beiden Mittelpegeln einen vorgegebenen Schwellenwert überschreitet.

Die erfindungsgemäße Vorrichtung macht sich dabei - wie auch das erfindungsgemäße Verfahren - die Erkenntnis zunutze, dass
25 sich der Mittelpegel bzw. das mittlere Potential zwischen den beiden Signalleitern im Fehlerfall verschiebt. Es kann daher auf die obigen Ausführungen im Zusammenhang mit dem erfindungsgemäßen Verfahren verwiesen werden.

30 Zu erwähnen sei der Vollständigkeit halber lediglich, dass zum Vergleich der beiden Mittelpegel in vorteilhafter Weise ein Komparator eingesetzt werden kann.

Um zu vermeiden, dass es an der Schnittstelle der
35 Datenleitung zu der erfindungsgemäßen Vorrichtung zu Reflexionen des Datensignals kommt, wird es als vorteilhaft angesehen, wenn die Vorrichtung eingangsseitig einen an die

Datenleitung angeschlossenen und an diese hinsichtlich des Wellenwiderstandes angepassten Leitungsabschluss aufweist.

Im Übrigen wird es als vorteilhaft angesehen, wenn der
5 Vorrichtung zur Speicherung und Auswertung des Fehlerfalls
ein zum Boundary-Scan-Register nach der oben genannten IEEE-
Norm kompatibles Schieberegister nachgeordnet ist; ein
solches Schieberegister kann in einfacher und damit
vorteilhafter Weise durch Multiplexer und D-Flipflops
10 aufgebaut sein.

Zur Erläuterung der Erfindung zeigen

Fig. 1 - ein Ausführungsbeispiel für eine erfindungsgemäße
15 Vorrichtung, die zur Durchführung des
erfindungsgemäßen Verfahrens geeignet ist,

Fig. 2 - ein Ausführungsbeispiel für eine
Vergleichseinrichtung, wie sie in der Vorrichtung
20 gemäß Figur 1 eingesetzt werden kann,

Fig. 3 - ein Ausführungsbeispiel für ein Schieberegister,
das der Vergleichseinrichtung gemäß der Figur 2
nachgeordnet sein kann,

Fig. 4 - ein Ausführungsbeispiel für ein an der Vorrichtung
gemäß Figur 1 anliegendes Datensignal im
störungsfreien Betrieb und

30 Fig. 5 - ein Ausführungsbeispiel für ein an der Vorrichtung
gemäß der Figur 1 anliegendes Datensignal im
Störfall.

Die Figur 1 zeigt eine Vorrichtung 5 zum Erzeugen eines
35 Fehlersignals F, das einen Übertragungsfehler bei der
Übertragung eines Datensignals D auf einer Datenleitung 10
angibt. Die Datenleitung 10 gemäß der Figur 1 ist durch zwei

Signalleitungen 20 und 30 gebildet und wird in differentieller Übertragungstechnik betrieben; dies bedeutet, dass die auf den beiden Signalleitungen 20 und 30 übertragenen Teilsignale DIN[p] und DIN[n] um 180 Grad bzw. um π phasenverschoben sind.

Das eine Teilsignal DIN[p] auf der einen Signalleitung 20 weist dabei zwei verschiedene Signalpegel auf, und zwar einen Signalpegel VP[1] für die Übertragung einer logischen „1“ und einen davon verschiedenen Signalpegel VP[0] für die Übertragung einer logischen „0“.

Entsprechendes gilt für das andere Teilsignal DIN[n], das ebenfalls zwei verschiedene Signalpegel aufweist. Für die Übertragung einer logischen „1“ wird ein Signalpegel VN[1] und für die Übertragung einer logischen „0“ ein davon verschiedener Signalpegel VN[0] verwendet.

Aufgrund der Phasenverschiebung von 180 Grad bzw. von π ergibt sich, dass im fehlerfreien Fall die Signalpegel VP[1] und VN[0] sowie die Signalpegel VP[0] und VN[1] gleich groß sind. Im Fehlerfall, beispielsweise bei einem Kurzschluss mit Masse verändern sich jedoch die Signalpegel; so wird bei einem Kurzschluss mit Masse der fehlerbehaftete Signalleiter auf einen Signalpegel von 0 Volt gezogen.

An die Datenleitung 10 ist ein Leitungsabschluss 40 angeschlossen, der durch zwei Widerstände RT sowie durch einen Widerstand RB und einen Kondensator CB zur Vorgabe und Stabilisierung einer Leitungsanschlussspannung VB gebildet ist. Die Widerstände RT sind dabei so gewählt, dass die Vorrichtung 5 bezüglich ihres Eingangswiderstandes an den Wellenwiderstand der Datenleitung 10 angepasst ist; übliche Wellenwiderstände sind beispielsweise 50 bzw. 75 Ohm.

An die Datenleitung 10 ist ein Spannungsteiler 50 mit zwei Widerständen RS (vorzugsweise ist RS hochohmig zu den

Leitungsabschlusswiderständen RT) angeschlossen, die den gleichen Widerstandswert aufweisen. An dem Ausgang 60 des Spannungsteilers 50 liegt ein Potential an, das exakt in der Mitte zwischen dem Potential VP der einen Signalleitung 20 und dem Potential VN der anderen Signalleitung 30 liegt; dieses Potential wird nachfolgend als Mittelpotential bzw. Mittelpegel M bezeichnet. Der Wert für diesen Mittelpegel errechnet sich zu:

$$M = (VP[1] + VN[1])/2 \text{ für eine logische „1“}$$

$$M = (VP[0] + VN[0])/2 \text{ für eine logische „0“}$$

Dieser Mittelpegel liegt an einer Vergleichseinrichtung 70 an, die ausgangsseitig das Fehlersignal F erzeugt, wenn es zu einem Übertragungsfehler kommt. Die Funktionsweise der Vergleichseinrichtung 70 wird weiter unten im Zusammenhang mit der Figur 2 erläutert.

Im Übrigen weist die Vorrichtung 5 noch einen Verstärker 80 zur Signalaufbereitung auf. An dem Verstärker 80 liegen eingangsseitig die beiden Teilsignale $DIN[p]$ und $DIN[n]$ an. Aus diesen Teilsignalen erzeugt der Verstärker 80 beispielhaft aufbereitete und verstärkte differentielle Ausgangssignale $Da[n]$ und $Da[p]$, die einem „CML-CMOS“-Konvertierbaustein 90 (CML:current mode logic) und einer „Signal/Null-Detect“-Schaltung 100 zugeführt werden. Der Konvertierbaustein 90 wandelt die differentiellen Ausgangssignale $Da[n]$ und $Da[p]$ in ein Ausgangssignal HSDIN um, das zur Übertragung auf einer einzigen Leitung geeignet ist und somit ein „Single-ended“-Signal ist. Das Ausgangssignal HSDIN ist dabei ein CMOS-kompatibles Signal.

Die Signal/Null-Detect-Schaltung 100 ist durch einen Vergleichsbaustein gebildet und gibt als Ausgangssignal SD eine logische „1“ ab, wenn eine hinreichend große Spannungsdifferenz zwischen den beiden differentiellen

Teilsignalen DIN[p] und DIN[n] anliegt. Umgekehrt wird eine logische „0“ abgegeben, wenn die Eingangsspannungsdifferenz zu klein ist. Die Signal/Null-Detect-Schaltung 100 macht sich dabei zunutze, dass bei differentieller Signaltechnik im

5 Falle einer Datenübertragung stets eine Spannungsdifferenz zwischen den beiden Signalleitungen vorhanden ist, unabhängig davon, ob eine logische „1“ oder eine logische „0“ übertragen wird. Die Signal/Null-Detect-Schaltung 100 kann beispielsweise durch einen Komparator gebildet sein.

10

In der Figur 1 ist darüber hinaus eine Steuerleitung 110 dargestellt. Über diese Steuerleitung 110 kann der Verstärker 80 in seiner Betriebsart umgeschaltet werden, und zwar über ein über die Steuerleitung 110 übertragenes Steuersignal

15 INP_SEL. Das Steuersignal INP_SEL schaltet auch die Leitungsabschlussspannung zwischen VB und VPP um, und zwar über einen Schalter 105.

20

In der Figur 2 ist ein Ausführungsbeispiel für eine Vergleichseinrichtung 70 gemäß der Figur 1 dargestellt. Man erkennt zwei Sample&Hold-Einrichtungen 200 und 210, die beide mit ihrem Eingang E200 bzw. E210 mit dem Mittelpegel M beaufschlagt sind. Mit ihren flankengetriggerten und auf die ansteigende Flanke reagierenden Takteingängen T200 bzw. T210

25 stehen die beiden Sample&Hold-Einrichtungen 200 und 210 jeweils mit einem Toggle-Flipflop in Verbindung; konkret ist der Takteingang T200 der einen Sample&Hold-Einrichtung 200 mit dem Ausgang Q des Toggle-Flipflops 220 und der Takteingang T210 der anderen Sample&Hold-Einrichtung 210 mit dem anderen Ausgang \bar{Q} des Toggle-Flipflops 220 verbunden.

30

Eingangsseitig liegt an dem Toggle-Flipflop 220 ein Taktsignal TCK an und zwar an einem auf die abfallende Flanke reagierenden, flankengetriggerten Takteingang T220.

35

Die beiden Sample&Hold-Einrichtungen 200 und 210 sind ausgangsseitig jeweils mit einer Vergleichsschaltung 230 verbunden.

- 5 Die Arbeitsweise der Vorrichtung 5 gemäß der Figur 1 wird nun zusammen mit den Figuren 2, 4 und 5 erläutert:

10 Zum Testen der Datenleitung 10 wird ein Datensignal D über die Datenleitung 10 übertragen. Das Datensignal D enthält eine in einem vorgegebenen Takt T alternierende Bitfolge aus logischen „Nullen“ und „Einsen“; der Takt T wird dabei durch das Taktsignal TCK vorgegeben.

15 Die Figur 4 zeigt beispielhaft die zu dem Datensignal D zugehörigen Teilsignale DIN[p] und DIN[n] auf den beiden Signalleitungen 20 und 30 im fehlerfreien Fall; die Figur 5 zeigt die Teilsignale beispielhaft bei einem Fehler. Gezeigt ist dabei der Fall, dass die Signalleitung 30 fehlerbedingt kein Signal führt.

20 Bei dem Beispiel gemäß der Figur 4 sind die beiden Teilsignale um 180 Grad phasenverschoben, so dass $VP[1] = VN[0]$ und $VP[0] = VN[1]$ ist. Außerdem sollen die Teilsignale jeweils betragsmäßig gleich groß sein; dies bedeutet, dass sie beide jeweils um das Mittelniveau zentriert sein sollen.

30 Man erkennt in der Figur 4, dass sich der am Ausgang 60 des Spannungsteilers 50 bildende Mittelpegel M im fehlerfreien Fall stets gleich ist, wohingegen er im Fehlerfall (vgl. Figur 5) mit der Taktfrequenz sein Potential wechselt, und zwar von $VP[1]/2$ auf $VP[0]/2$ und umgekehrt.

35 Dieser Potentialwechsel wird nun in der Vergleichseinrichtung 70 gemäß der Figur 2 erkannt, wie anhand der Figur 2 erläutert werden soll: Das flankengesteuerte Toggle-Flipflop 220 gemäß der Figur 2 arbeitet als Frequenzteiler, da seine beiden Ausgangssignale Q und \bar{Q} stets nur bei einer

abfallenden Flanke des Taktsignals TCK umschalten. Die Ausgangssignale Q und \bar{Q} des Toggle-Flipflops 220 sind dabei zueinander invertiert bzw. gegeneinander um 180 Grad phasenverschoben. Dies führt dazu, dass die beiden

5 Sample&Hold-Einrichtungen 200 und 210 im Gegentakt arbeiten. Wird nun - wie oben bereits erwähnt - eine abwechselnd logische „Nullen“ und logische „Einsen“ enthaltene Bitfolge mit der Taktfrequenz TCK über die Datenleitung 10 übertragen, so tastet die erste Sample&Hold-Einrichtung 200
10 beispielsweise stets die logischen „Einsen“ und die zweite Sample&Hold-Einrichtung 210 jeweils die logischen „Nullen“ ab, weil nämlich jede der beiden Sample&Hold-Einrichtungen 200 bzw. 210 aufgrund des frequenzhalbierenden Toggle-Flipflops 220 jeweils nur jedes zweite Bit erfassen.

15

Am Ausgang A200 der ersten Sample&Hold-Einrichtung 200 wird somit beispielhaft die Abtastspannung bzw. der Abtastwert für den Mittelpegel M[1] bei einer logischen „1“ erzeugt; am Ausgang A210 wird von der zweiten Sample&Hold-Einrichtung 210
20 die Abtastspannung bzw. der Abtastwert für den Mittelpegel M[0] im Falle einer logischen „0“ erzeugt. In diesem Zusammenhang ist zu erwähnen, dass es für die Funktionsweise der Vorrichtung 5 bzw. der Vergleichsschaltung 70 egal ist, ob die logische „1“ mit der ersten oder der zweiten
5 Sample&Hold-Einrichtung abgetastet wird; außerdem ist auch die zeitliche Reihenfolge der Abtastung von logischen „0“ und „1“ unwichtig.

30

In der Vergleichsschaltung 230 wird die Differenzspannung zwischen den beiden Abtastwerten bzw. zwischen den beiden Abtastspannungen der beiden Mittelwerte M, beispielsweise mit einem Komparator, mit einem vorgegebenen Schwellenwert verglichen und es wird das Fehlersignal F erzeugt, wenn die Abweichung zwischen den beiden Abtastspannungen bzw. zwischen
35 den beiden Abtastwerten den vorgegebenen Schwellenwert überschreitet, wenn also die Differenzspannung zwischen M[1] und M[0] die vorgegebene Schwelle überschreitet.

Die Figur 3 zeigt ein Ausführungsbeispiel für eine Schieberegisterzelle 300, in der die von der Vorrichtung 5 gemäß der Figur 1 erzeugten Signale F, SD und HSDIN zur Weiterverarbeitung zwischengespeichert werden können. Diese Zwischenspeicherung ist insbesondere dann von Vorteil, wenn die Auswertung der erzeugten Signale unter analoger Heranziehung des oben genannten IEEE Standards „IEEE Standard Test Access Port and Boundary-Scan Architecture“ erfolgen soll.

Die Speicherregisterzelle 300 weist einen ersten Dateneingang E300a auf, an den das Signal HSDIN in die Schieberegisterzelle 300 eingespeist werden kann. Mit dem Signal HSDIN kann beispielsweise abgespeichert werden, ob die oben genannte Testfolge aus logischen „Nullen“ und „Einsen“ mit einer logischen „Null“ oder einer logischen „Eins“ begonnen hat.

Die Schieberegisterzelle 300 weist einen zweiten Dateneingang E300b auf, an dem das Fehlersignal F eingespeist werden kann. An einem dritten Dateneingang E300c wird das Ausgangssignal SD der Signal/Null-Detect-Schaltung 100 eingespeist.

Im Übrigen weist die Speicherregisterzelle 300 Anschlüsse A300a und A300b auf, mit dem die dargestellte Speicherregisterzelle 300 an entsprechende weitere Zellen angeschlossen werden kann.

Über einen Reseteingang R300 kann der Inhalt der Speicherregisterzelle 300 gelöscht werden. An einem Takteingang T300 wird die Speicherregisterzelle 300 mit einem Taktsignal versorgt.

Darüber hinaus weist die Speicherregisterzelle 300 einen Shifteingang S300 auf.

Der Eingang der Schieberegisterzelle 300 wird durch drei Multiplexer 310, 320 und 330 gebildet, die mit den Eingängen E300a, E300b und E300c verbunden sind. Jeder dieser Multiplexer 310, 320 und 330 weist jeweils einen

5 Selecteingang SEL auf; liegt an diesem Selecteingang SEL eine logische „0“ an, so wird das an dem in der Figur 3 jeweils mit einer „0“ gekennzeichneten (E310a, E320a, E330a) Eingang anliegende Signal durchgeschaltet, und zwar jeweils an ein nachgeordnetes D-Flipflop 350, 360 und 370. Liegt hingegen an
10 dem Shifteingang S300 und damit an den Selecteingängen SEL der Multiplexer 310, 320 und 330 eine logische „1“ an, so wird jeweils das an dem in der Figur 3 mit „1“ gekennzeichneten Eingang (E310 b, E320 b, in E330 b) anliegende Signal zu dem jeweils zugeordneten D-Flipflop 350,
15 360 bzw. 370 durchgeschaltet.

Da der Ausgang des D-Flipflops 370 mit dem Eingang E320b des Multiplexers 320 und der Ausgang des D-Flipflops 360 mit dem Eingang E310b des Multiplexers 310 und der Ausgang des D-
20 Flipflops 350 wiederum mit dem Eingang eines in der Figur 3 nicht mehr dargestellten Multiplexers einer ebenfalls nicht mehr dargestellten Speicherregisterzelle verbunden ist, kommt es quasi zu einem „Hochschieben“ der Daten der Speicherregisterzelle 300 entlang der durch den Pfeil 400
25 angedeuteten Pfeilrichtung, wenn an dem Shiftsignal S300 eine logische „1“ anliegt.

Jedes der D-Flipflops 350, 360 und 370 ist jeweils mit dem Reseteingang A300 und dem Takteingang T300 verbunden. Über
30 den Reseteingang A300 können alle D-Flipflops 350, 360 und 370 gelöscht werden; über den Takteingang T300 werden alle D-Flipflops 350, 360 und 370 mit derselben Taktfrequenz getaktet.

Bezugszeichenliste

5	5 Vorrichtung zum Erzeugen eines Fehlersignals
	10 Datenleitung
	20 eine Signalleitung
10	30 eine andere Signalleitung
	40 Leitungsabschluss
	50 Spannungsteiler
15	60 Ausgang des Spannungsteilers
	70 Vergleichseinrichtung
20	80 Verstärker
	90 Konvertierbaustein
	100 Signal/Null-Detect-Schaltung
25	105 Schalter
	110 Steuerleitung
30	200 Sample&Hold-Einrichtung
	210 Sample&Hold-Einrichtung
	220 Toggle-Flipflop
35	230 Vergleichsschaltung

300 Speicherregisterzelle

400 Pfeil

5 RT Widerstand

RS Widerstand

RB Widerstand

10

VB Spannungsgenerator

CB Kondensator

15 DIN[p]-Teilsignal

DIN[n]-Teilsignal

VP [1], VP [0], VN [1], VN [0] Signalpegel

20

Da[n], Da[p] aufbereitete differentielle Ausgangssignale

M Mittelpegel

25 T200, T210, T220 Takteingänge

E300a, E300b, E300c Eingänge der Speicherregisterzelle

30 A300a, A300b Anschlüsse zum Anschluss der
Speicherregisterzelle an weitere Speicherregisterzellen

T300 Takteingang der Speicherregisterzelle

R300 Reseteingang der Speicherregisterzelle

35

Patentansprüche

1. Verfahren zum Erzeugen eines Fehlersignals (F), das einen Fehler bei der Übertragung eines auf einer zwei
5 Signalleitungen (20, 30) aufweisenden Datenleitung (10) in differentieller Signaltechnik übertragenen Datensignals (D) angibt, bei dem

- ein potentialmäßig im Bereich der Mitte zwischen
10 dem Signalpegel der einen Signalleitung (20) und dem Signalpegel der anderen Signalleitung (30) liegender Mittelpegel (M [1]) im Falle einer übertragenen logischen „1“ mit dem entsprechenden Mittelpegel (M [0]) im Falle einer übertragenen
15 logischen „0“ verglichen wird und
- das Fehlersignal (F) erzeugt wird, wenn die Abweichung zwischen den beiden Mittelpegeln (M [1] und M [0]) einen vorgegebenen Schwellenwert (Q)
20 überschreitet.

2. Verfahren nach Anspruch 1 dadurch gekennzeichnet, dass das Fehlersignal (F) gebildet wird, wenn die Bedingung:

$$| (VP[1] + VN[1]) / 2 - (VP[0] + VN[0]) / 2 | > Q$$

erfüllt ist, wobei

30 VP[1] den Signalpegel der einen Signalleitung (20) im Falle einer übertragenen logischen „1“, VP[0] den Signalpegel der einen Signalleitung (20) im Falle einer logischen „0“, VN[1] den Signalpegel der anderen Signalleitung (30) im Falle einer logischen „1“, VN[0]
35 den Signalpegel der anderen Signalleitung (30) im Falle einer logischen „0“ und Q den vorgegebenen Schwellenwert bezeichnen.

3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass der Mittelpegel (M[1], M[0]) an einem zwischen den beiden Signalleitungen (20, 30) angeschlossenen Spannungsteiler (50) abgegriffen wird.

4. Verfahren nach Anspruch 3, dadurch gekennzeichnet, dass zwei in Reihe geschaltete Ohmsche Widerstände, vorzugsweise mit identischen Widerstandswerten, als Spannungsteiler verwendet werden.

5. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass

- der Mittelpegel (M [1]) im Falle einer übertragenen logischen „1“ mit einer Sample&Hold-Einrichtung (200) abgetastet und als eine Hilfsmessgröße zwischengespeichert wird,

- der entsprechende Mittelpegel (M [0]) im Falle einer übertragenen logischen „0“ ebenfalls abgetastet und als andere Hilfsmessgröße zwischengespeichert wird und

- das Fehlersignal (F) erzeugt wird, wenn die Differenz zwischen den beiden Hilfsmessgrößen betragsmäßig den vorgegebenen Schwellenwert überschreitet.

6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, dass - über die Datenleitung (10) in einem Takt (TCK) mit vorgegebener Taktfrequenz abwechselnd logische „Einsen“ und logische „Nullen“ übertragen werden und

- zwei Sample&Hold-Einrichtungen (200, 210) mit der halben Taktfrequenz betrieben werden, und zwar eine erste Sample&Hold-Einrichtung (200) zum Ermitteln der ersten Hilfsmessgröße und eine zweite Sample&Hold-Einrichtung (220) zum Ermitteln der zweiten Hilfsmessgröße,
- wobei die beiden Sample&Hold-Einrichtungen (200, 210) derart im Gegentakt betrieben werden, dass sie den Mittelpegel (M) zwischen den beiden Signalleitungen (20, 30) abwechselnd abtasten.

7. Verfahren nach Anspruch 6, dadurch gekennzeichnet, dass zum Ansteuern der beiden Sample&Hold-Einrichtungen (200, 210) ein eingangsseitig mit der vorgegebenen Taktfrequenz beaufschlagtes Toggle-Flipflop (220) verwendet wird, indem
- ein Ausgangssignal (Q) des Toggle-Flipflops (220) als Hilfstaktsignal für die erste Sample&Hold-Einrichtung (200) und
- das andere Ausgangssignal (\bar{Q}) des Toggle-Flipflops (220) als weiteres Hilfstaktsignal für die zweite Sample&Hold-Einrichtung (210) verwendet wird.

8. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass das Fehlersignal (F) als ein einen Fehler anzeigendes Statussignal in einem Schieberegister, insbesondere einem Boundary-Scan-Register, gespeichert wird.

9. Verfahren nach Anspruch 8, dadurch gekennzeichnet, dass als Schieberegister ein Boundary-Scan-Register verwendet wird, das zu dem „IEEE Standard Test Access Port and Boundary-Scan Architecture“ kompatibel ist.

10. Vorrichtung (5) zum Erzeugen eines Fehlersignals (F),
das einen Fehler bei der Übertragung eines auf einer
zwei Signalleitungen (20, 30) aufweisenden Datenleitung
(10) in differentieller Signaltechnik übertragenen
Datensignals (D) angibt
- mit einer an die Datenleitung (10) angeschlossenen
Vergleichseinrichtung (70), die ein potentialmäßig im
Bereich der Mitte zwischen dem Signalpegel der einen
Signalleitung (20) und dem Signalpegel der anderen
Signalleitung (30) liegenden Mittelpegel (M [1]) im
Falle einer übertragenen logischen „1“ mit dem
entsprechenden Mittelpegel (M [0]) im Falle einer
übertragenen logischen „0“ vergleicht und das
Fehlersignal (F) erzeugt, wenn die Abweichung zwischen
den beiden Mittelpegeln (M [1] und M [0]) einen
vorgegebenen Schwellenwert (Q) überschreitet.
11. Vorrichtung nach Anspruch 10, dadurch
gekennzeichnet, dass die Vorrichtung (5)
eingangsseitig einen an die Datenleitung (10)
angeschlossenen und an diese hinsichtlich des
Wellenwiderstandes angepassten Leitungsabschluss (40)
aufweist.
12. Vorrichtung nach Anspruch 10 oder 11, dadurch
gekennzeichnet, dass sie einen elektrisch
zwischen die Vergleichseinrichtung (70) und die
Datenleitung (10) geschalteten Spannungsteiler (50)
aufweist.
13. Vorrichtung nach einem der Ansprüche 10, 11 oder 12,
dadurch gekennzeichnet, dass die

Vergleichseinrichtung (70) mindestens eine Sample&Hold-Einrichtung (20) aufweist.

- 5 14. Vorrichtung nach Anspruch 13, dadurch gekennzeichnet, dass sie zwei an den Spannungsteiler (50) angeschlossene Sample&Hold-Einrichtungen (200, 210) aufweist, denen ein Toggle-Flipflop (220) vorgeordnet ist, wobei ein Ausgang (Q) des Toggle-Flipflops (220) mit einem Takteingang (T200) der einen Sample&Hold-Einrichtung (200) und der andere invertierte Ausgang (\bar{Q}) des Toggle-Flipflops (220) mit dem anderen Takteingang (T210) der anderen Sample&Hold-Einrichtung (210) verbunden ist.
- 10
- 15
15. Vorrichtung nach Anspruch 14, dadurch gekennzeichnet, dass die Vergleichseinrichtung (70) einen Komparator (230) aufweist, der eingangsseitig mit den Ausgangssignalen der beiden Sample&Hold-Einrichtungen (200, 210) beaufschlagt ist und ausgangsseitig das Fehlersignal (F) erzeugt.
- 20
- 25 16. Vorrichtung nach einem der Ansprüche 10 bis 15, dadurch gekennzeichnet, dass der Vergleichseinrichtung (70) eine Speichereinrichtung (300) zum Speichern eines Fehlersignals (F) nachgeordnet ist.
- 30
17. Vorrichtung nach Anspruch 16, dadurch gekennzeichnet, dass die Speichereinrichtung (300) ein Schieberegister ist, das Multiplexer (310, 320, 330) und D-Flipflops (350, 360, 370) aufweist.
- 35

Zusammenfassung

Verfahren und Vorrichtung zum Erzeugen eines Fehlersignals

- 5 Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren und eine Anordnung zum Erzeugen eines Fehlersignals anzugeben, das für die Erkennung von Übertragungsfehlern bei differentieller Signaltechnik geeignet ist.
- 10 Erfindungsgemäß ist vorgesehen, dass potentialmäßig ein im Bereich der Mitte zwischen dem Signalpegel der einen Signalleitung 20 und dem Signalpegel der anderen Signalleitung 30 liegender Mittelpegel $M[1]$ im Falle einer übertragenen logischen „1“ mit dem entsprechenden Mittelpegel
- 15 $M[0]$ im Falle einer übertragenen logischen „0“ verglichen wird und das Fehlersignal erzeugt wird, wenn die Abweichung zwischen den beiden Mittelpegeln $M[1]$ und $M[0]$ einen vorgegebenen Schwellenwert Q überschreitet.

20

Figur 1

Fig. 1

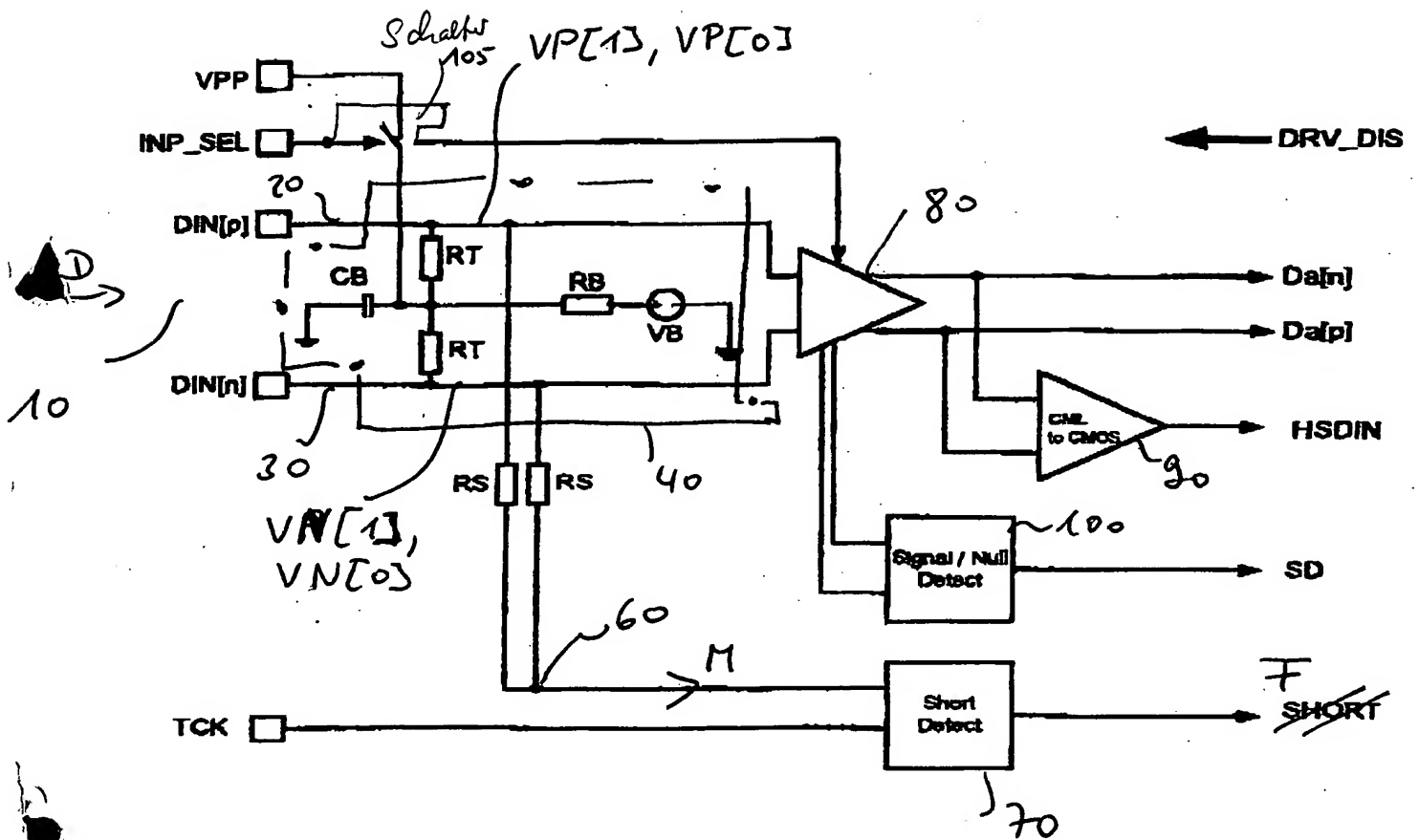


Fig. 2

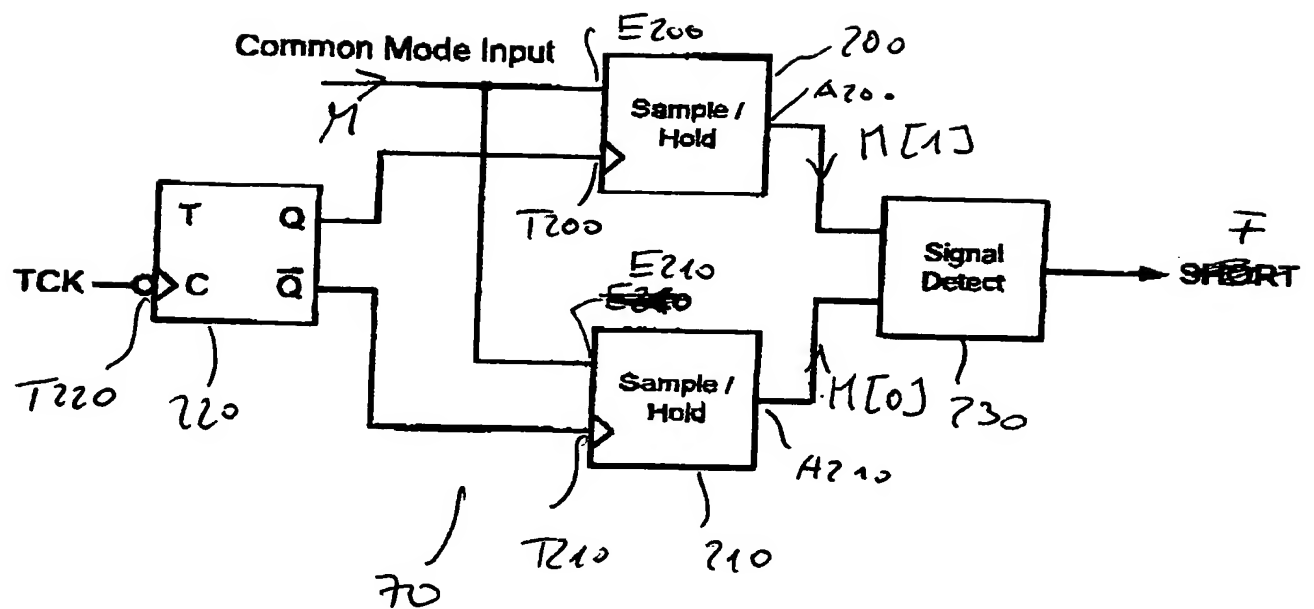


Fig. 3

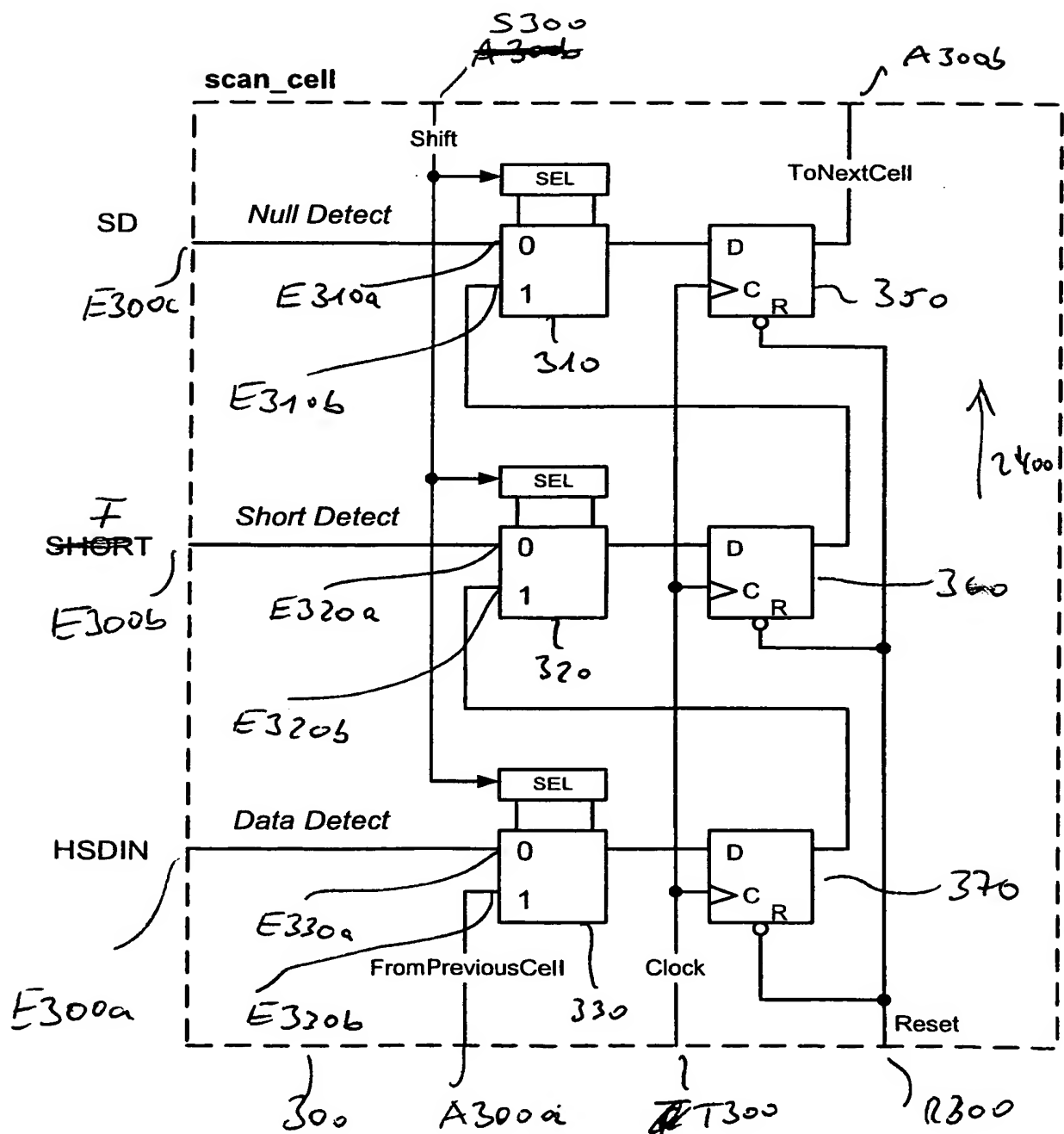


Fig. 4

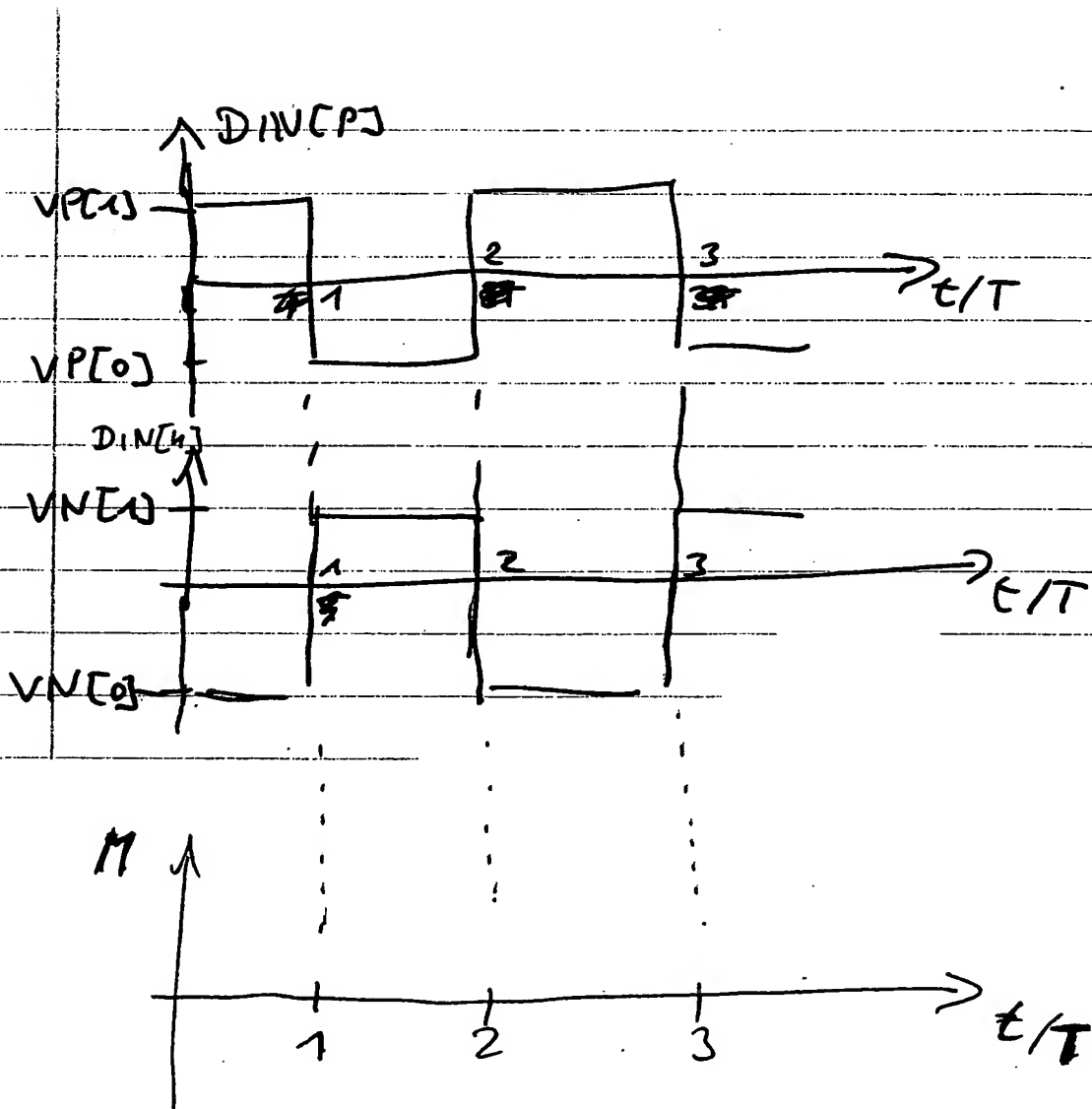


Fig 5

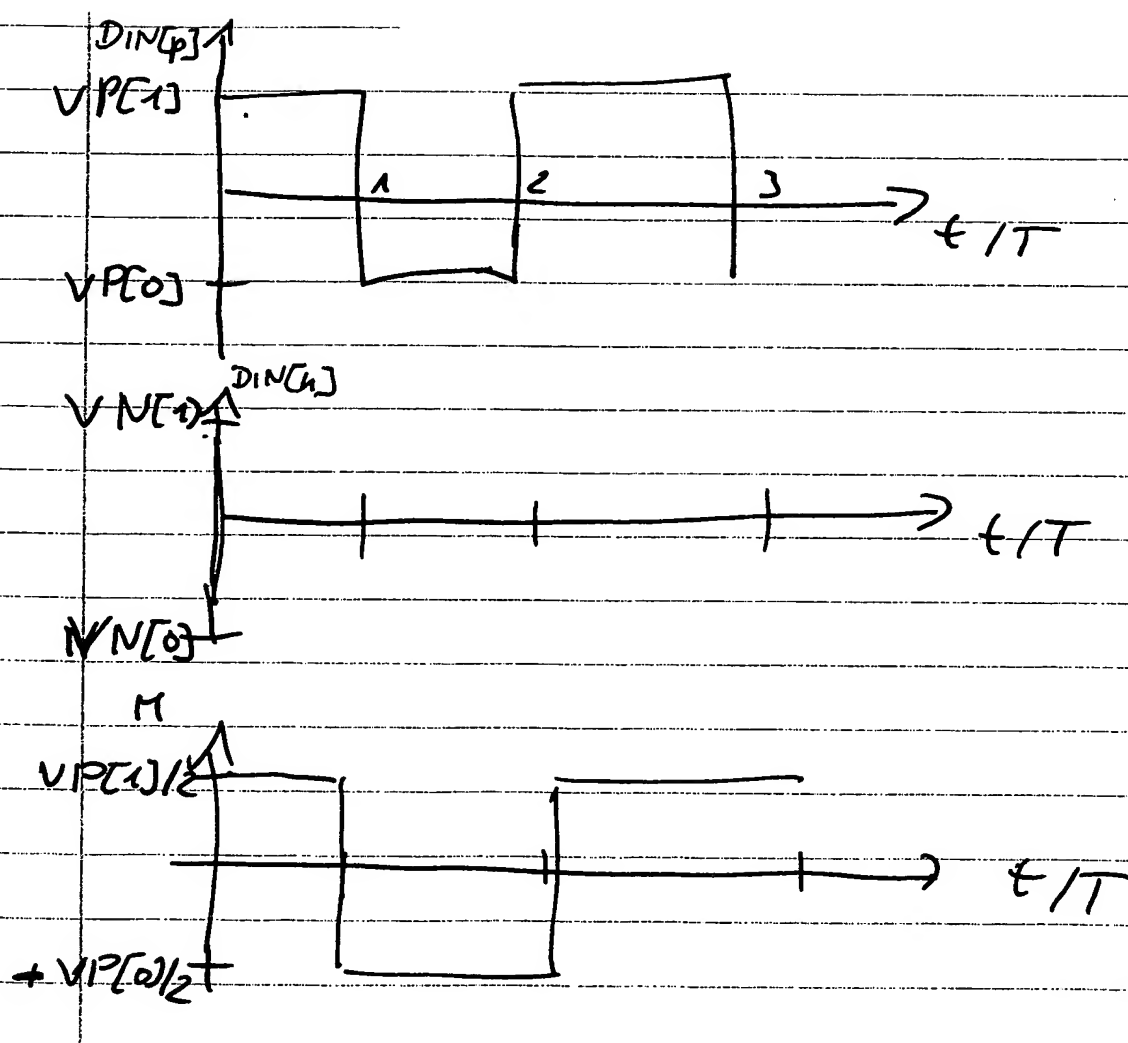


Fig. 1

